

Programación del puerto SPP - EPP y acceso registros

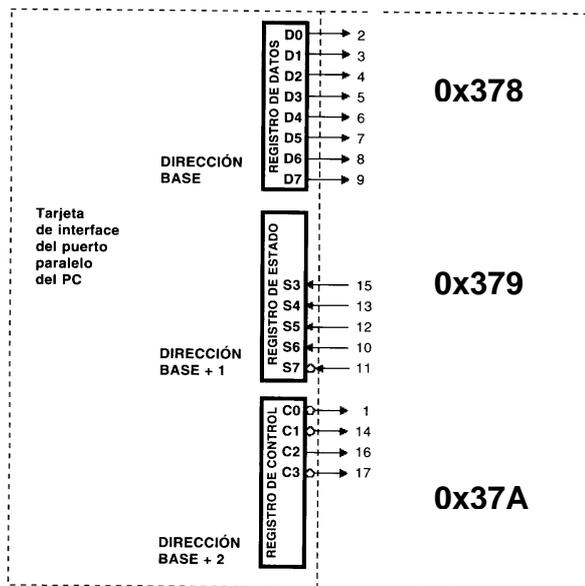


Figura 32.4. Líneas en el conector DB-25 del puerto paralelo.

El puerto paralelo está compuesto por tres registros (posiciones de memoria) de 8 bits cada uno, situados en direcciones consecutivas, a partir de la dirección base en el espacio de IO del PC (888 dec **0x378** hex).

Dichos registros pueden programarse de manera que permiten obtener el control de todas las líneas que forman parte del proceso de comunicación.

Éstos son: *registro de datos, registro de estado y registro de control.*

Todos los valores enviados a los registros en las operaciones de escritura (outp) son latched y permanecen estables hasta que un valor nuevo se escribe en el registro. Esta característica es común en todos los registros del puerto SPP, EPP y ECP.

El **registro de datos**, también denominado puerto de datos, coincide con la dirección de base del puerto, es decir, para realizar un acceso a él, *de lectura o escritura*, hay emplear la dirección **0x378** correspondiente al puerto paralelo en cuestión. La Tabla representa la estructura de este registro.

PUERTO DE DATOS			
Posición	Operación	Bit del registro	Nombre
Base + 0	Escritura (ver texto)	Bit 7	Data 7
		Bit 6	Data 6
		Bit 5	Data 5
		Bit 4	Data 4
		Bit 3	Data 3
		Bit 2	Data 2
		Bit 1	Data 1
		Bit 0	Data 0

La dirección base del puerto, o registro de datos, se utiliza para escribir en las líneas de datos los bytes que deseamos enviar por el puerto (pines 2 a 9 del conector).

El **registro de estado**, también puerto de estado, es un *registro únicamente de lectura*, en dirección **0x379**, es decir, sólo podemos recibir bytes a través de dicho registro. Hay que resaltar que se lee el contenido del registro, y el estado de los pines los indica la Tabla

PUERTO DE ESTADO			
Posición	Operación	Bit del registro	Nombre
Base + 1	Lectura	Bit 7	Busy
		Bit 6	ACK
		Bit 5	Paper End
		Bit 4	Select
		Bit 3	Error
		Bit 2	Reservado
		Bit 1	Reservado
		Bit 0	Reservado

El puerto de estado está compuesto de cinco bits significativos (bits 3 a 7) correspondientes a las 5 líneas de entrada situadas en los pines del conector 15, 13, 12, 10 y 11, respectivamente.

Esta información puede obtenerse mediante una simple operación de lectura sobre el registro de estado.

Otro aspecto a tener en cuenta es el bit 7 (Busy). Este bit está invertido por hardware, es decir, el nivel lógico leído en el bit es el complemento del nivel lógico presente en el pin 11 del conector.

El **registro de control**, también denominado puerto de control, se encuentra ubicado dos posiciones por encima del puerto de datos (**0x37A**). La Tabla representa la estructura de este registro.

PUERTO DE CONTROL			
Posición	Operación	Bit del registro	Nombre
Base + 2	Lectura y escritura	Bit 7	Reservado
		Bit 6	Reservado
		Bit 5	PCD
		Bit 4	IRQE
		Bit 3	Select In
		Bit 2	Init
		Bit 1	Autofeed
		Bit 0	Strobe

Este registro contiene cuatro bits (0 a 3) que coinciden con los terminales 1, 14, 16 y 17 del conector. De los cuatro bits correspondientes a la parte baja del registro, excepto el bit 2, el resto está invertido por hardware.

Esto quiere decir que el nivel lógico escrito en el bit es el complemento del nivel lógico presente en el pin del conector. Cuando el puerto paralelo Spp del PC se utiliza en el modo habitual, estos cuatro bits actúan como salidas.

No obstante, estas cuatro salidas son etapas en **colector abierto** con resistencias de pullup, de tal manera que si los pines del conector están en un nivel alto, un dispositivo externo puede forzarlas a nivel bajo sin dañar los circuitos de excitación en el PC. De este modo, estas líneas pueden utilizarse como líneas de entrada. Para utilizarlas como entradas, hay que escribir la combinación binaria 0100 en la parte baja del registro de control (recordar que los bits 0, 1 y 3 están invertidos por hardware).

Este valor fuerza las salidas a nivel alto a través de las resistencias de pullup, con lo que mediante una operación de lectura del registro se puede leer el estado en que se encuentran los pines del conector (recordar la inversión de los tres bits a la hora de realizar la lectura). Las resistencias de pullup tienen unos valores típicos de 4700 ohmios.

El **bit 5 PCD** (Parallel Control Direction) del registro de control permite que el puerto de datos se comporte como un **puerto bidireccional** verdadero, lo que significa que se pueden realizar operaciones de **lectura de datos** sobre dichas líneas.

Un **0 lógico** en este bit implica que el puerto de datos está en **modo salida** (escritura); un **1 lógico** quiere decir que el puerto funciona en **modo entrada** (lectura).

Bit 5 a **0** → Salida de datos (**Escritura**)

Bit 5 a **1** → Entrada de datos (**Lectura**)

Hoy en día, si en las especificaciones de nuestro PC se incluye un puerto paralelo EPP/ECP, (Configurado desde el SetUp de la BIOS) podemos estar seguros de que nuestro puerto SPP posee la característica bidireccional del puerto de datos, utilizando el bit 5 del registro de control. El registro de control se inicia a cero en un reset del PC.